

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-264667
 (43)Date of publication of application : 11.10.1996

(51)Int.CI. H01L 21/8247
 H01L 29/788
 H01L 29/792
 H01L 27/115

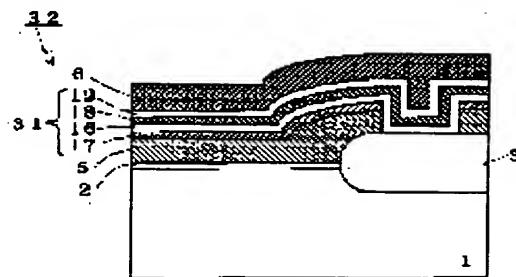
(21)Application number : 07-066130 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (22)Date of filing : 24.03.1995 (72)Inventor : KANEOKA TATSUNORI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To suppress the dispersion of the erasing rate among bits and reduce the interelectrode leakage current.

CONSTITUTION: An interelectrode dielectric film 31 having a lower Si oxide film 16 is formed between a floating electrode 5 and control electrode 6 made of a P-doped polycrystalline Si film. A Si nitride film 17 is formed between the Si oxide film 16 and floating electrode 5. The polycrystalline Si film constituting the floating electrode 5 contains atoms of N. Since the Si nitride film is formed between the floating electrode and Si oxide film, the leakage current between both is suppressed. Since the polycrystalline Si film contains N, the growth of Si crystal grains due to the temp. rising treatment inevitably made in the production process of the device is suppressed to result in that the crystal grains become small. Owing to this, the ends of the floating gates are of a uniform shape whereby the dispersion of the erasing rate among bits is suppressed.



LEGAL STATUS

[Date of request for examination] 25.10.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3588497

[Date of registration] 20.08.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-264667

(43)公開日 平成8年(1996)10月11日

(51)Int.Cl.⁸
H 0 1 L 21/8247
29/788
29/792
27/115

識別記号 庁内整理番号

F I
H 0 1 L 29/78
27/10

技術表示箇所

3 7 1
4 3 4

審査請求 未請求 請求項の数13 O L (全14頁)

(21)出願番号

特願平7-66130

(22)出願日

平成7年(1995)3月24日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 金岡 竜範

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内

(74)代理人 弁理士 吉田 茂明 (外2名)

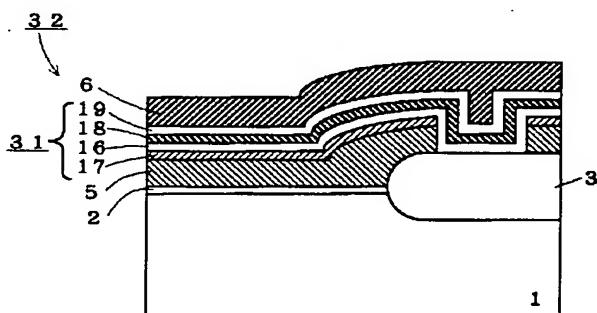
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 消去速度のビット間ばらつきを抑え、電極間リーキ電流を低減する。

【構成】 下部シリコン酸化膜16を有する制御電極・浮遊電極間誘電体膜31が、リン添加多結晶シリコン膜で構成される浮遊電極5と制御電極6の間に形成されている。下部シリコン酸化膜16と浮遊電極5との間にはシリコン窒化膜層17が形成されている。また、浮遊電極5を構成するリン添加多結晶シリコン膜は窒素原子を含有している。

【効果】 浮遊電極とシリコン酸化膜の間にシリコン窒化膜層が形成されているので、浮遊電極と制御電極間のリーキ電流が抑制される。リン添加多結晶シリコン膜が窒素を含有するので、装置の製造工程で不可避免的に行われる昇温処理にともなうシリコン結晶粒の成長が抑えられ、結晶粒が小さくなる。このため、浮遊電極の端部の形状が揃うので消去速度のビット間ばらつきが抑えられる。



- 1 : シリコン基板
- 2 : トンネル酸化膜(絶縁膜)
- 5 : 浮遊電極(一方電極膜、多結晶シリコン膜)
- 6 : 制御電極(他方電極、導電層)
- 16 : 下部シリコン酸化膜(シリコン酸化膜層)
- 17 : シリコン窒化膜層
- 19 : 上部シリコン酸化膜(シリコン酸化膜層)
- 31 : 制御電極・浮遊電極間誘電体膜(誘電体膜)
- 32 : 制御電極・浮遊電極間キャパシタ(キャパシタ)

【特許請求の範囲】

【請求項 1】 シリコン酸化膜層を有する誘電体膜が一組の電極膜の間に挟まれて成るキャパシタを有する半導体装置であって、

前記一組の電極膜の中の一方電極膜は所定導電型の不純物を含有する多結晶シリコンから成り、

前記誘電体膜は前記一方電極膜の主面との境界面にシリコン窒化膜層を有することを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、前記誘電体膜は前記一方電極膜の側端面との境界面にさらにシリコン窒化膜層を有することを特徴とする半導体装置。

【請求項 3】 請求項 1 または請求項 2 に記載の半導体装置において、

前記多結晶シリコンは窒素をさらに含有することを特徴とする半導体装置。

【請求項 4】 請求項 1 に記載の半導体装置において、前記一方電極はシリコン基板の主面に形成されたチャネルに絶縁膜を挟んで対向するように設けられており、前記シリコン基板の前記主面における前記チャネルの両側に主電極が接続されていることを特徴とする半導体装置。

【請求項 5】 請求項 3 に記載の半導体装置において、前記一方電極はシリコン基板の主面に形成されたチャネルに絶縁膜を挟んで対向するように設けられており、前記シリコン基板の前記主面における前記チャネルの両側に主電極が接続されていることを特徴とする半導体装置。

【請求項 6】 シリコン酸化膜層を有する誘電体膜が一組の電極膜の間に挟まれて成るキャパシタを有する半導体装置を製造するための方法であって、

(a) 昇温下で窒化シリコンを生成し得る程度に高濃度の窒素を含有した高濃度窒素含有層を上面に有するとともに、所定導電型の不純物を含有する非晶質のシリコン膜を形成する工程と、

(b) 前記シリコン酸化膜層を含む誘電体層を前記シリコン膜の上に形成する工程と、

(c) 昇温を行うことによって、前記シリコン膜の中の前記高濃度窒素含有層をシリコン窒化膜層へと転換し、同時に、当該高濃度窒素含有層を除く部分を多結晶シリコン膜へと転換する工程と、

(d) 前記誘電体層の上に導電層を形成する工程と、

(e) 前記多結晶シリコン膜、前記シリコン窒化膜層と前記誘電体層、および、前記導電層をパターニング加工することによって、それぞれ、前記一組の電極膜の一方電極膜、前記誘電体膜、および、前記一組の電極膜の他方電極膜を形成する工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 に記載の半導体装置の製造方法において、

前記工程 (b)において、前記シリコン酸化膜層を昇温下で形成することによって、当該シリコン酸化膜層を形成する工程と前記工程 (c)とを同時に実行することを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 6 に記載の半導体装置の製造方法において、

前記工程 (a)で形成される前記シリコン膜が、高濃度窒素含有層を除く部分においても窒素を含有することを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 に記載の半導体装置の製造方法において、

前記工程 (a)が、(a-1) 前記所定導電型の不純物を含有する非晶質のシリコン層を形成する工程と、(a-2) 上面ほど窒素濃度が高くなるように前記シリコン層に上面から窒素を注入することによって、上面に高濃度窒素含有層を有する前記シリコン膜を形成する工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 9 に記載の半導体装置の製造方法において、

20 前記工程 (a)が、(a-3) 前記工程 (a-2) に先だって、前記シリコン層を所定の形状にパターニング加工する工程、をさらに備えることを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 8 に記載の半導体装置の製造方法において、

前記工程 (a)が、(a-1) 化学気相成長法を用いて、前記所定導電型の不純物と窒素とを導入しつつ非晶質のシリコン層を形成するとともに、窒素を導入するための反応ガスの濃度を最終段階で高めることによって、前記高濃度窒素含有層を上面に有する前記シリコン膜を形成する工程、を備えることを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 8 に記載の半導体装置の製造方法において、

(f) 前記工程 (a) に先だって、主面にチャネルが形成されたシリコン基板を準備する工程と、
(g) 前記チャネルの上に絶縁膜を形成する工程と、をさらに備え、前記工程 (a)において、前記シリコン膜は少なくとも前記絶縁膜の上に形成され、

40 前記工程 (e) で形成される前記一方電極膜は前記絶縁膜を挟んで前記チャネルに対向する形状であり、前記製造方法は、

(h) 前記工程 (e) の後に、前記シリコン基板の前記主面における前記チャネルの両側に主電極を接続する工程、をさらに備えることを特徴とする半導体装置の製造方法。

【請求項 13】 請求項 6 に記載の半導体装置の製造方法において、

50 (f) 前記工程 (a) に先だって、主面にチャネルが形成されたシリコン基板を準備する工程と、

(g) 前記チャネルの上に絶縁膜を形成する工程と、をさらに備え、

前記工程(a)において、前記シリコン膜は少なくとも前記絶縁膜の上に形成され、

前記工程(e)で形成される前記一方電極膜は前記絶縁膜を挟んで前記チャネルに対向する形状であり、

前記製造方法は、

(h) 前記工程(e)の後に、前記シリコン基板の前記主面における前記チャネルの両側に主電極を接続する工程、をさらに備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、フラッシュメモリに代表される不揮発性記憶素子に好適な、誘電体膜が介挿されたキャパシタ構造を有する半導体装置およびその製造方法に関し、特に誘電体膜の膜質の改良に関する。

【0002】

【従来の技術】図16は従来のフラッシュメモリにおいてワード線方向から見たメモリセルの断面構造を示す断面図である。図16において、1はシリコン基板、3は隣接するメモリセルを電気的に分離するためにシリコン基板1の上面に選択的に形成された素子分離シリコン酸化膜(LOCOS)、4はリンや砒素等のn型不純物をシリコン基板1の上面部分に選択的に添加することによって形成されたn型不純物層、2は隣接するn型不純物層4の間に挟まれたシリコン基板1の上面部分であるチャネル領域を覆うように熱酸化法により形成されたトンネル酸化膜(絶縁膜)、22はトンネル酸化膜2を挟んでチャネル領域に対向するように形成されリン添加多結晶シリコン膜で構成される浮遊電極、6は浮遊電極22に対向するように形成されリン添加多結晶シリコン膜で構成される制御電極、7はデータを保持するために制御電極6と浮遊電極22の間に形成される制御電極・浮遊電極間誘電体膜、8は隣接するメモリセルの浮遊電極22および制御電極6との間を電気的に絶縁するための電気的絶縁用シリコン酸化膜、9はn型不純物層4の上面に電気的に接続された下層A1配線(主電極)、10は下層A1配線9と制御電極6および浮遊電極22との間を電気的に絶縁するためのシリコン酸化膜、11は下層A1配線9に電気的に接続され下層A1配線9よりも上層に配設される上層A1配線、12は隣接する下層A1配線9および上層A1配線10の間を電気的に絶縁するためのA1配線間シリコン酸化膜である。

【0003】図17は、図16に示したフラッシュメモリにおけるピット線方向から見たメモリセルの断面構造を示す断面図であり、特に制御電極・浮遊電極間キャパシタの断面構造を詳細に示している。浮遊電極22は各メモリセル毎に分離されるので、図17に示すように素子分離シリコン酸化膜3の上面において不連続となつて

いる。そして、制御電極・浮遊電極間誘電体膜7は、素子分離シリコン酸化膜3の上面において浮遊電極22が不連続となっている部位においても途切れることなく形成されている。

【0004】また、図17に示すように、制御電極・浮遊電極間誘電体膜7は四層構造となっている。すなわち、制御電極・浮遊電極間誘電体膜7では最下層から順に、膜質の劣る界面酸化膜層23、下部シリコン酸化膜16、CVDシリコン窒化膜18、および、上部シリコン酸化膜19が形成されている。

【0005】図18～図20は、このフラッシュメモリの制御電極・浮遊電極間キャパシタ部分の製造工程を示すピット線方向から見た断面図である。このフラッシュメモリの制御電極・浮遊電極間キャパシタ部分を製造するには、まず、シリコン基板1の上に、n型不純物層4、素子分離シリコン酸化膜3、およびトンネル酸化膜2をあらかじめ形成しておく。そして、図18に示すように、リン添加非晶質シリコン膜13の堆積を行う。このリン添加非晶質シリコン膜13は、モノシラン(SiH4)ガスとホスフィン(PH3)ガスを反応ガスとして供給しつつ、500°C～550°Cの温度下で熱CVD(化学気相成長法)を実行することによって形成される。リン添加非晶質シリコン膜13中のリン濃度は、モノシランとホスフィンの流量比を変えることにより制御できる。

【0006】つぎに、図19に示すように、リソグラフィ技術およびドライエッチング技術を用いてリン添加非晶質シリコン膜13を選択的に除去することにより、このリン添加非晶質シリコン膜13を所望の形状にパターンング加工する。

【0007】つぎに、図20に示すように、リン添加非晶質シリコン膜13の上に下部シリコン酸化膜16を形成する。下部シリコン酸化膜16は、モノシランガスと亜酸化窒素(N2O)ガスの混合ガス、またはジクロールシラン(SiH2Cl2)ガスと亜酸化窒素(N2O)ガスとの混合ガスを反応ガスとして供給しつつ、700°C～900°Cの温度下で熱CVDを実行することによって形成される。このときの熱エネルギーによって、リン添加非晶質シリコン膜13が結晶化し、その結果、リン添加非晶質シリコン膜13がリン添加多結晶シリコン膜へと変化し浮遊電極22が形成される。

【0008】また、浮遊電極22であるリン添加多結晶シリコン膜と下部シリコン酸化膜16の間には、自然酸化膜が形成されるとともに、下部シリコン酸化膜16の堆積中において膜質の劣る界面酸化膜層23が同時に形成される。

【0009】つぎに、図17へ戻って、下部シリコン酸化膜16の上に、CVDシリコン窒化膜18、上部シリコン酸化膜19、および、制御電極6を構成するリン添加多結晶シリコン膜を、この順で堆積する。この中で、

CVDシリコン窒化膜18は、700°C～800°Cの温度下において、ジクロールシランガスとアンモニア(NH₃)ガスを反応ガスとして供給しつつ、CVDを実行することにより形成される。

【0010】また、上部シリコン酸化膜19は、700°C～1000°Cの温度下で熱酸化を実行すること、あるいは、モノシランガスと亜酸化窒素ガスの混合ガス、またはジクロールシランガスと亜酸化窒素ガスとの混合ガスを反応ガスとして供給しつつ、700°C～900°Cの温度下で熱CVDを実行することによって形成される。さらに、制御電極6を構成するリン添加多結晶シリコン膜は、620°Cの温度下でモノシランガスとホスフインガスを反応ガスとして供給しつつ、CVDを実行することによって形成される。

【0011】その後、浮遊電極22から制御電極6までの積層構造に対して、リソグラフィ工程およびドライエッチング工程を実行することによって、パターニング加工を施す。そうすることによって、所定のパターン形状を有する制御電極・浮遊電極間キャパシタが形成される。以上の工程の結果、制御電極・浮遊電極間誘電体膜7は、最下層から順に、界面酸化膜層23、下部シリコン酸化膜16、CVDシリコン窒化膜18、および、上部シリコン酸化膜19を含む、四層構造となる。

【0012】制御電極・浮遊電極間誘電体膜7の中にCVDシリコン窒化膜18を形成することによって、制御電極・浮遊電極間のリーキ電流を低く抑えるとともに、誘電率を高め、そのことによって制御電極・浮遊電極間キャパシタの静電容量を高くしている。

【0013】

【発明が解決しようとする課題】以上のように、従来のフラッシュメモリの浮遊電極22は、リン添加多結晶シリコン膜で構成されているので、シリコン結晶粒径が不均一であり、各ビットに対応する浮遊電極22の間で、シリコン結晶粒の個数が不揃いとなっていた。そのため、浮遊電極22の端部の形状が各ビット間で異なっており、その結果、消去速度のビット間ばらつきという問題、すなわち保持データの消去速度が各ビット間で不均一であるという問題を引き起こしていた。

【0014】従来のフラッシュメモリでは、さらに、浮遊電極22と下部シリコン酸化膜16との間に、膜質の劣る界面酸化膜層23が形成されるので、制御電極・浮遊電極間誘電体膜7におけるリーキ電流が増大し、制御電極・浮遊電極間キャパシタにおける信頼性の低下がもたらされるという問題点があった。このことは、フラッシュメモリにおけるデータ保持特性を劣化させるものである。

【0015】この発明は、誘電体膜が介挿されたキャパシタ構造を有するフラッシュメモリに代表される従来の半導体装置における上記した問題点を解消するためになされたもので、キャパシタ構造の少なくとも一方電極を

構成する多結晶半導体の結晶粒径が均一で、しかも、誘電体膜におけるリーク電流が抑制された半導体装置を得ることを目的としており、さらに、この半導体装置の製造に適した方法を提供することを目的とする。

【0016】

【課題を解決するための手段】第1の発明の装置は、シリコン酸化膜層を有する誘電体膜が一組の電極膜の間に挟まれて成るキャパシタを有する半導体装置であって、前記一組の電極膜の中の一方電極膜は所定導電型の不純物を含有する多結晶シリコンから成り、前記誘電体膜は前記一方電極膜の主面との境界面にシリコン窒化膜層を有することを特徴とする。

【0017】第2の発明の装置は、第1の発明の半導体装置において、前記誘電体膜は前記一方電極膜の側端面との境界面にさらにシリコン窒化膜層を有することを特徴とする。

【0018】第3の発明の装置は、第1または第2の発明の半導体装置において、前記多結晶シリコンは窒素をさらに含有することを特徴とする。

【0019】第4の発明の装置は、第1の発明の半導体装置において、前記一方電極はシリコン基板の主面に形成されたチャネルに絶縁膜を挟んで対向するように設けられており、前記シリコン基板の前記主面における前記チャネルの両側に主電極が接続されていることを特徴とする。

【0020】第5の発明の装置は、第3の発明の半導体装置において、前記一方電極はシリコン基板の主面に形成されたチャネルに絶縁膜を挟んで対向するように設けられており、前記シリコン基板の前記主面における前記チャネルの両側に主電極が接続されていることを特徴とする。

【0021】第6の発明の製造方法は、シリコン酸化膜層を有する誘電体膜が一組の電極膜の間に挟まれて成るキャパシタを有する半導体装置を製造するための方法であって、(a) 昇温下で窒化シリコンを生成し得る程度に高濃度の窒素を含有した高濃度窒素含有層を上面に有するとともに、所定導電型の不純物を含有する非晶質のシリコン膜を形成する工程と、(b) 前記シリコン酸化膜層を含む誘電体層を前記シリコン膜の上に形成する工程と、(c) 昇温を行うことによって、前記シリコン膜の中の前記高濃度窒素含有層をシリコン窒化膜層へと転換し、同時に、当該高濃度窒素含有層を除く部分を多結晶シリコン膜へと転換する工程と、(d) 前記誘電体層の上に導電層を形成する工程と、(e) 前記多結晶シリコン膜、前記シリコン窒化膜層と前記誘電体層、および、前記導電層をパターニング加工することによって、それぞれ、前記一組の電極膜の一方電極膜、前記誘電体膜、および、前記一組の電極膜の他方電極膜を形成する工程と、を備えることを特徴とする。

【0022】第7の発明の製造方法は、第6の発明の半

導体装置の製造方法において、前記工程(b)において、前記シリコン酸化膜層を昇温下で形成することによって、当該シリコン酸化膜層を形成する工程と前記工程(c)とを同時に実行することを特徴とする。

【0023】第8の発明の製造方法は、第6の発明の半導体装置の製造方法において、前記工程(a)で形成される前記シリコン膜が、高濃度窒素含有層を除く部分においても窒素を含有することを特徴とする。

【0024】第9の発明の製造方法は、第8の発明の半導体装置の製造方法において、前記工程(a)が、(a-1)前記所定導電型の不純物を含有する非晶質のシリコン層を形成する工程と、(a-2)上面ほど窒素濃度が高くなるように前記シリコン層に上面から窒素を注入することによって、上面に高濃度窒素含有層を有する前記シリコン膜を形成する工程と、を備えることを特徴とする。

【0025】第10の発明の製造方法は、第9の発明の半導体装置の製造方法において、前記工程(a)が、(a-3)前記工程(a-2)に先だって、前記シリコン層を所定の形状にパターニング加工する工程、をさらに備えることを特徴とする。

【0026】第11の発明の製造方法は、第8の発明の半導体装置の製造方法において、前記工程(a)が、(a-1)化学気相成長法を用いて、前記所定導電型の不純物と窒素とを導入しつつ非晶質のシリコン層を形成するとともに、窒素を導入するための反応ガスの濃度を最終段階で高めることによって、前記高濃度窒素含有層を上面に有する前記シリコン膜を形成する工程、を備えることを特徴とする。

【0027】第12の発明の製造方法は、第8の発明の半導体装置の製造方法において、(f)前記工程(a)に先だって、正面にチャネルが形成されたシリコン基板を準備する工程と、(g)前記チャネルの上に絶縁膜を形成する工程と、をさらに備え、前記工程(a)において、前記シリコン膜は少なくとも前記絶縁膜の上に形成され、前記工程(e)で形成される前記一方電極膜は前記絶縁膜を挟んで前記チャネルに對向する形状であり、前記製造方法は、(h)前記工程(e)の後に、前記シリコン基板の前記正面における前記チャネルの両側に主電極を接続する工程、をさらに備えることを特徴とする。

【0028】第13の発明の製造方法は、第6の発明の半導体装置の製造方法において、(f)前記工程(a)に先だって、正面にチャネルが形成されたシリコン基板を準備する工程と、(g)前記チャネルの上に絶縁膜を形成する工程と、をさらに備え、前記工程(a)において、前記シリコン膜は少なくとも前記絶縁膜の上に形成され、前記工程(e)で形成される前記一方電極膜は前記絶縁膜を挟んで前記チャネルに對向する形状であり、前記製造方法は、(h)前記工程(e)の後に、前記シリコン基板の前記正面における前記チャネルの両側に主電極を接続する工程、をさらに備えることを特徴とする。

【0029】

【作用】第1の発明の装置では、誘電体膜がシリコン酸化膜層を有するものでありながら、一方電極膜の正面との境界面にシリコン窒化膜層を有するので、一方電極膜と他方電極膜との間のリーク電流が抑制される。

【0030】第2の発明の装置では、誘電体膜が一方電極膜の側端面との境界面にもシリコン窒化膜層を有するので、リーク電流がさらに低減される。

【0031】第3の発明の装置では、一方電極膜を構成する多結晶シリコンが窒素を含有するので、装置の製造工程で不可避的に行われる昇温処理にともなうシリコン結晶粒の成長が抑制される。

【0032】第4の発明の装置では、一方電極膜が絶縁膜を挟んでチャネルに對向しており、チャネルの両側には主電極が接続されるので、この装置は浮遊電極を有する不揮発性メモリ素子として機能する。すなわち、制御電極と浮遊電極間のリーク電流が抑制された不揮発性メモリ素子として機能する。

【0033】第5の発明の装置では、一方電極膜が絶縁膜を挟んでチャネルに對向しており、チャネルの両側には主電極が接続されるので、この装置は浮遊電極を有する不揮発性メモリ素子として機能する。すなわち、浮遊電極の端部が所定の精密な形状を有するために消去速度が所定の値に揃った不揮発性メモリ素子として機能する。

【0034】第6の発明の製造方法では、非晶質のシリコン膜の上面に高濃度窒素含有層が形成されるので、シリコン膜の上面において膜質の劣る界面酸化膜層の形成が阻止されるとともに、それに代わってリーク電流の抑制効果の高いシリコン窒化膜層が形成される。しかも、昇温を行うことによって、非晶質のシリコン膜の多結晶化とその上面へのシリコン窒化膜層の形成とが同時に行われる。

【0035】第7の発明の製造方法では、シリコン酸化膜層を形成する中で、同時に、非晶質のシリコン膜の多結晶化とその上面へのシリコン窒化膜層の形成とが行われる。すなわち、製造工数が節減される。

【0036】第8の発明の製造方法では、非晶質のシリコン膜が高濃度窒素含有層を除く部分においても窒素を含有するので、シリコン膜が多結晶化する際に、結晶粒の成長が抑制される。

【0037】第9の発明の製造方法では、窒素を含有するとともに上面に高濃度窒素含有層を有する非晶質のシリコン膜が、上面から窒素を注入することによって容易に形成される。

【0038】第10の発明の製造方法では、シリコン層がパターニング加工された後に窒素の注入が実行されるので、パターニング加工によってシリコン層に形成される側端面にも高濃度窒素含有層が形成される。このため、シリコン層の側端面においても、界面酸化膜層の形

成が阻止されるとともに、それに代わってリーク電流の阻止効果の高い窒化シリコン層が形成される。

【0039】第11の発明の製造方法では、化学気相成長法を用いて窒素がシリコン膜へ導入されるので、窒素を導入する際にシリコン膜やこれに隣接する他の構成部分に損傷を与える恐れがない。さらに、非晶質のシリコン層を形成する中で、同時に窒素が導入されるので、窒素を導入する工程を別途実施する必要がない。

【0040】第12の発明の製造方法では、一方電極がシリコン基板のチャネルに絶縁膜を挟んで対向するように形成され、しかも、チャネルの両側に主電極が接続されるので、浮遊電極を有する不揮発性メモリ素子として機能する装置が得られる。すなわち、浮遊電極と制御電極の間のリーク電流が抑えられるとともに、浮遊電極の端部が所定の精密な形状を有するために消去速度が所定の値に揃ったメモリ素子が得られる。

【0041】第13の発明の製造方法では、一方電極がシリコン基板のチャネルに絶縁膜を挟んで対向するように形成され、しかも、チャネルの両側に主電極が接続されるので、浮遊電極を有する不揮発性メモリ素子として機能する装置が得られる。すなわち、浮遊電極と制御電極の間のリーク電流が抑えられたメモリ素子が得られる。

【0042】

【実施例】

<第1実施例>図2は、第1実施例のフラッシュメモリにおいてワード線方向から見たメモリセル断面構造を示す断面図である。なお以下の図において、図16～図20に示した従来装置と同一部分には同一符号を付して、その詳細な説明を略する。

【0043】図2において、5はトンネル酸化膜2を挟んでチャネル領域に対向するように形成され窒素原子を含有する粒径の細かいリン添加多結晶シリコン膜で構成される浮遊電極、そして、31はデータを保持するために制御電極6と浮遊電極5の間に形成される制御電極・浮遊電極間誘電体膜である。浮遊電極5、制御電極・浮遊電極間誘電体膜31、および、制御電極6によって制御電極・浮遊電極間キャパシタ32が構成されている。

【0044】図1は、図2に示したフラッシュメモリにおけるピット線方向から見たメモリセルの断面構造を示す断面図であり、特に制御電極・浮遊電極間キャパシタ32の断面構造を詳細に示している。浮遊電極5は各メモリセル毎に分離されるので、図1に示すように素子分離シリコン酸化膜3の上面において不連続となっている。そして、制御電極・浮遊電極間誘電体膜31は、素子分離シリコン酸化膜3の上面において浮遊電極5が不連続となっている部位において途切れることなく形成されている。

【0045】また、図1に示すように、制御電極・浮遊

電極間誘電体膜31は四層構造となっている。すなわち、制御電極・浮遊電極間誘電体膜31では最下層から順に、シリコン窒化膜層17、下部シリコン酸化膜16、CVDシリコン窒化膜18、および、上部シリコン酸化膜19が形成されている。

【0046】図3～図6は、このフラッシュメモリにおける制御電極・浮遊電極間キャパシタ32の部分の製造工程を示すピット線方向から見た断面図である。このフラッシュメモリの制御電極・浮遊電極間キャパシタ32を製造するには、まず、シリコン基板1の上に、n型不純物層4、素子分離シリコン酸化膜3、およびトンネル酸化膜2をあらかじめ形成しておく。そして、図3に示すように、生成物の上面全体に、リン添加非晶質シリコン膜13の堆積を行う。このリン添加非晶質シリコン膜13は、例えば、モノシランガスとホスフィンガスを反応ガスとして供給しつつ、500°C～550°Cの温度下で熱CVDを実行することによって形成される。リン添加非晶質シリコン膜13中のリン濃度は、モノシランとホスフィンの流量比を変えることによって制御可能である。

【0047】つぎに、図4に示すように、堆積されたリン添加非晶質シリコン膜13へ、イオン注入法を用いて上面から窒素イオンを注入する。そうすることによって、リン添加非晶質シリコン膜13を、窒素原子を含有するリン添加非晶質シリコン膜14へと転換する。窒素イオンの注入は、例えば、10keV～50keVの注入エネルギー、および、 $1.0 \times 10^{15} \text{ cm}^{-2} \sim 5.0 \times 10^{16} \text{ cm}^{-2}$ の注入量で行われる。

【0048】窒素原子を含有するリン添加非晶質シリコン膜14中の窒素濃度は、深さ方向にガウス分布をなしており、その上部（表面部）では濃度が高く、下部（深部）では低くなっている。その結果、窒素含有リン添加非晶質シリコン膜14の上部には、窒素原子を高濃度に含有する高濃度窒素含有層15が形成される。

【0049】窒素イオンの注入エネルギーを変えることによって、高濃度窒素含有層15の位置を制御することが可能である。また、注入量を変えることによって、高濃度窒素含有層15を含む窒素含有リン添加非晶質シリコン膜14の窒素濃度を制御可能である。このため、イオン注入法を用いることで、上部に高濃度窒素含有層15を有する窒素含有リン添加非晶質シリコン膜14を、容易にかつ能率よく形成することができる。

【0050】つぎに、図5に示すように、リソグラフィ技術およびドライエッティング技術を用いて、窒素含有リン添加非晶質シリコン膜14および高濃度窒素含有層15から成る二層構造体を選択的に除去することにより、この二層構造体を所望の形状にパーティング加工する。素子分離シリコン酸化膜3の上面における浮遊電極5の不連続部分は、このときに形成される。

【0051】つぎに、図6に示すように、図5の工程で

形成された生成物の表面全体を覆うように、下部シリコン酸化膜16を形成する。下部シリコン酸化膜16は、モノシランガスと亜酸化窒素ガスの混合ガス、またはジクロールシランガスと亜酸化窒素ガスとの混合ガスを反応ガスとして供給しつつ、700°C～900°Cの温度下で熱CVDを実行することによって形成される。このときの熱エネルギーによって、窒素原子を含有するリン添加非晶質シリコン膜14が結晶化し、その結果、窒素原子を含有する粒径の細かいリン添加多結晶シリコン膜で構成される浮遊電極5が形成される。

【0052】窒素原子を含有するリン添加非晶質シリコン膜14中の窒素原子には、後の熱処理工程にともなうシリコンの結晶成長を抑制する働きがある。このため、下部シリコン酸化膜16を形成する際の熱エネルギーの付与にともなう窒素含有リン添加非晶質シリコン膜14におけるシリコン結晶粒の粗大化（大粒径化）が阻止される。その結果、浮遊電極5を構成するリン添加多結晶シリコン膜では、シリコン結晶粒は細かい粒となる。

【0053】また熱エネルギーの付与によって、窒素原子を含有するリン添加非晶質シリコン膜14の上部に形成されている高濃度窒素含有層15では、窒素原子とシリコン原子の結合が起こる。その結果、高濃度窒素含有層15から、シリコン窒化膜層17が形成される。すなわち、浮遊電極5の上面において、膜質の劣る界面酸化膜層23の形成が阻止され、代わりに、リーク電流を抑制する効果の高いシリコン窒化膜層17が形成される。

【0054】つぎに、図1へ戻って、下部シリコン酸化膜16の上に、CVDシリコン窒化膜18、上部シリコン酸化膜19、および、制御電極6を構成するリン添加多結晶シリコン膜を、この順で堆積する。この中で、CVDシリコン窒化膜18は、700°C～800°Cの温度下において、ジクロールシランガスとアンモニア（NH₃）ガスを反応ガスとして供給しつつ、CVDを実行することにより形成される。

【0055】また、上部シリコン酸化膜19は、700°C～1000°Cの温度下で熱酸化を実行すること、あるいは、モノシランガスと亜酸化窒素ガスの混合ガス、またはジクロールシランガスと亜酸化窒素ガスとの混合ガスを反応ガスとして供給しつつ、700°C～900°Cの温度下で熱CVDを実行することによって形成される。さらに、制御電極6を構成するリン添加多結晶シリコン膜は、620°Cの温度下でモノシランガスとホスフリンガスを反応ガスとして供給しつつ、CVDを実行することによって形成される。

【0056】その後、浮遊電極5から制御電極6までの積層構造体に対して、リソグラフィ工程およびドライエッキング工程を実行することによって、パターニング加工を施す。そうすることによって、所定のパターン形状を有する制御電極・浮遊電極間キャパシタ32が形成される。

【0057】以上の工程の結果、制御電極・浮遊電極間誘電体膜31は、最下層から順に、シリコン窒化膜層17、下部シリコン酸化膜16、CVDシリコン窒化膜18、および、上部シリコン酸化膜19を含む、四層構造となる。

【0058】以上のように、この実施例のフラッシュメモリでは、浮遊電極5のもとになるリン添加非晶質シリコン膜14が窒素を含有するので、浮遊電極5は結晶粒の小さいリン添加多結晶シリコン膜として形成される。

10 このため、浮遊電極5の端部の形状が精密に仕上がり、各ビット間で均一となるので、消去速度のビット間ばらつきが低く抑えられる。

【0059】さらに、制御電極・浮遊電極間誘電体膜31には、従来装置において存在していた膜質の劣る界面酸化膜層23がなく、代わりにリーク電流抑制効果の高いシリコン窒化膜層17が形成されている。このため、制御電極・浮遊電極間のリーク電流が低く抑えられるので、データ保持特性が良好である。

【0060】また、この実施例で例示した製造方法では、下部シリコン酸化膜16を形成する工程の中で、それに付随して、リン添加多結晶シリコン膜で構成される浮遊電極5とシリコン窒化膜層17とが形成されるので、製造の能率が高いという利点がある。

【0061】<第2実施例>図7は、第2実施例のフラッシュメモリにおけるビット線方向から見たメモリセルの断面構造を示す断面図である。図7において、33はデータを保持するために制御電極6と浮遊電極5の間に形成される制御電極・浮遊電極間誘電体膜である。浮遊電極5、制御電極・浮遊電極間誘電体膜33、および、制御電極6とによって制御電極・浮遊電極間キャパシタ34が構成されている。制御電極・浮遊電極間誘電体膜33は、最下層から順に、シリコン窒化膜層17、下部シリコン酸化膜16、CVDシリコン窒化膜18、および、上部シリコン酸化膜19が積層されて成る四層構造をなしている。

【0062】図7において素子分離シリコン酸化膜3の上面に存在する浮遊電極5の不連続部分の端面（ワード線方向側端面）に例示されるように、この実施例のフラッシュメモリでは、浮遊電極5の側端面にもシリコン窒化膜層17が形成されている点が、第1実施例とは特徴的に異なる。この特徴のために、このフラッシュメモリでは、制御電極・浮遊電極間のリーク電流が一層低減される。

【0063】図8～図10は、このフラッシュメモリにおける制御電極・浮遊電極間キャパシタ34の部分の製造工程を示すビット線方向から見た断面図である。このフラッシュメモリの制御電極・浮遊電極間キャパシタ34を製造するには、まず、第1実施例における図3に示した工程を実行する。

【0064】つぎに、図8に示すように、リソグラフィ

技術およびドライエッティング技術を用いて、リン添加非晶質シリコン膜13を選択的に除去することにより、このリン添加非晶質シリコン膜13を所望の形状にパターンング加工する。素子分離シリコン酸化膜3の上面における浮遊電極5の不連続部分は、このときに形成される。

【0065】つぎに、図9に示すように、パターンング加工されたリン添加非晶質シリコン膜13へ、イオン注入法を用いて窒素イオンを注入する。そうすることによって、リン添加非晶質シリコン膜13を、窒素原子を含有するリン添加非晶質シリコン膜14へと転換する。窒素イオンの注入は、第1実施例と同一条件下で行われる。

【0066】その結果、窒素含有リン添加非晶質シリコン膜14の上部には、窒素原子を高濃度に含有する高濃度窒素含有層15が形成される。しかも、リン添加非晶質シリコン膜13が既にパターンング加工された後にイオン注入が実行されるために、窒素含有リン添加非晶質シリコン膜14の上部だけでなく側端面にも、高濃度窒素含有層15が形成される。

【0067】つぎに、図10に示すように、図9の工程で形成された生成物の表面全体を覆うように、下部シリコン酸化膜16を形成する。下部シリコン酸化膜16は、第1実施例における図6の工程と同様の熱CVDを実行することによって形成される。このときの熱エネルギーによって、窒素原子を含有するリン添加非晶質シリコン膜14が結晶化し、しかも、含有する窒素原子の働きで結晶成長が抑制される結果、窒素原子を含有する粒径の細かいリン添加多結晶シリコン膜で構成される浮遊電極5が形成される。

【0068】また熱エネルギーの付与によって、高濃度窒素含有層15から、シリコン窒化膜層17が形成される。その結果、浮遊電極5の上部だけでなく側端面においても、膜質の劣る界面酸化膜層23の形成が阻止されるとともに、それに代わってリーク電流の抑制効果の高いシリコン窒化膜層17が形成される。

【0069】つぎに、図7へ戻って、下部シリコン酸化膜16の上に、CVDシリコン窒化膜18、上部シリコン酸化膜19、および、制御電極6を構成するリン添加多結晶シリコン膜を、この順で堆積する。これらの各層は、第1実施例における図1に示した工程と同一の工程を実行することによって形成される。その後、浮遊電極5から制御電極6までの積層構造体に対して、リソグラフィ工程およびドライエッティング工程を実行することによって、パターンング加工を施す。そうすることによって、所定のパターン形状を有する制御電極・浮遊電極間キャバシタ34が形成される。

【0070】以上の工程の結果、制御電極・浮遊電極間誘電体膜33は、最下層から順に、シリコン窒化膜層17、下部シリコン酸化膜16、CVDシリコン窒化膜1

8、および、上部シリコン酸化膜19を含む、四層構造となる。また、この製造方法では、浮遊電極5の上部だけでなく側端面においても界面酸化膜層23の形成が阻止され、それに代わってシリコン窒化膜層17が形成されるので、リーク電流の抑制効果が高いフラッシュメモリが得られる。

【0071】<第3実施例>ここでは、図1および図2に示した第1実施例のフラッシュメモリにおける制御電極・浮遊電極間キャバシタ32を製造するためのもう一つの方法を例示する。この方法では、まず、第1実施例における図3～図5に示した工程を実行する。

【0072】その後、図11のビット線方向から見た断面図に示すように、700°C～1100°Cの温度に加熱された窒素ガスまたはアルゴンガス等の不活性ガスの中でアニールを実行する。そうすることによって、窒素原子を含有するリン添加非晶質シリコン膜14が結晶化し、しかも、含有する窒素原子の働きで結晶粒の粗大化が阻止される結果、窒素原子を含有する粒径の細かいリン添加多結晶シリコン膜で構成される浮遊電極5が形成される。

【0073】またアニールの実行にともなって、窒素含有リン添加非晶質シリコン膜14の上部に形成されている高濃度窒素含有層15では、窒素原子とシリコン原子の結合が起こる。その結果、高濃度窒素含有層15から、シリコン窒化膜層17が形成される。

【0074】つぎに、図1へ戻って、図11で形成された生成物の上面全体に下部シリコン酸化膜16を形成する。下部シリコン酸化膜16は、第1実施例の図1の工程と同様の熱CVDを実行することによって形成される。第1実施例の方法とは異なって、浮遊電極5およびシリコン窒化膜層17は既に形成されているので、この熱CVDを実行するための条件は、下部シリコン酸化膜16を形成することのみを考慮して設定することが可能である。すなわち、下部シリコン酸化膜16を形成するための条件の選択幅が拡大するという利点がある。

【0075】その後さらに、下部シリコン酸化膜16の上に、CVDシリコン窒化膜18、上部シリコン酸化膜19、および、制御電極6を構成するリン添加多結晶シリコン膜を、この順で堆積する。これらの各層は、第1実施例と同一の工程を実行することによって形成される。その後、浮遊電極5から制御電極6までの積層構造体に対して、リソグラフィ工程およびドライエッティング工程を実行することによって、パターンング加工を施す。そうすることによって、所定のパターン形状を有する制御電極・浮遊電極間キャバシタ32が形成される。

【0076】<第4実施例>つぎに、図7に示した第2実施例のフラッシュメモリにおける制御電極・浮遊電極間キャバシタ34を製造するためのもう一つの方法を例示する。この方法では、まず、第2実施例における図9までの工程を実行する。その結果、窒素含有リン添加非

晶質シリコン膜14の上部だけでなく側端面にも高濃度窒素含有層15が形成される。

【0077】その後、図12のピット線方向から見た断面図に示すように、700°C～1100°Cの温度に加熱された窒素ガスまたはアルゴンガス等の不活性ガスの中でアニールを実行する。そうすることによって、窒素原子を含有するリン添加非晶質シリコン膜14が結晶化し、しかも、含有する窒素原子の動きで結晶粒の粗大化が阻止される結果、窒素原子を含有する粒径の細かいリン添加多結晶シリコン膜で構成される浮遊電極5が形成される。

【0078】またアニールの実行にともなって、窒素含有リン添加非晶質シリコン膜14の上部および側端面に形成されている高濃度窒素含有層15では、窒素原子とシリコン原子の結合が起こる。その結果、高濃度窒素含有層15から、シリコン窒化膜層17が形成される。

【0079】つぎに、図7へ戻って、図12で形成された生成物の上面全体に下部シリコン酸化膜16を形成する。下部シリコン酸化膜16は、第2実施例の図7の工程と同様の熱CVDを実行することによって形成される。第2実施例の方法とは異なって、浮遊電極5およびシリコン窒化膜層17は既に形成されているので、この熱CVDを実行するための条件は、下部シリコン酸化膜16を形成することのみを考慮して設定することが可能である。すなわち、第3実施例と同様に、下部シリコン酸化膜16を形成するための条件の選択幅が拡大するという利点がある。

【0080】その後さらに、下部シリコン酸化膜16の上に、CVDシリコン窒化膜18、上部シリコン酸化膜19、および、制御電極6を構成するリン添加多結晶シリコン膜を、この順で堆積する。これらの各層は、第2実施例と同一の工程を実行することによって形成される。その後、浮遊電極5から制御電極6までの積層構造体に対して、リソグラフィ工程およびドライエッチング工程を実行することによって、パターニング加工を施す。そうすることによって、所定のパターン形状を有する制御電極・浮遊電極間キャバシタ34が形成される。

【0081】<第5実施例>つぎに、図1および図2に示した第1実施例のフラッシュメモリにおける制御電極・浮遊電極間キャバシタ32を製造するためのもう一つの方法を例示する。図13～図15は、この実施例の製造方法を示す工程図であり、フラッシュメモリのピット線方向からみた断面構造を示している。

【0082】この方法では、まず、シリコン基板1の上に、n型不純物層4、素子分離シリコン酸化膜3、およびトンネル酸化膜2をあらかじめ形成しておく。そして、図13に示すように、生成物の上面全体に、窒素原子を含有するリン添加非晶質シリコン膜20を堆積する。

【0083】この窒素含有リン添加非晶質シリコン膜2

0は、例えば、モノシランガス、ホスフィンガス、およびアンモニア(NH₃)ガスを反応ガスとして供給しつつ、500°C～550°Cの温度下でCVDを実行することによって形成される。窒素含有リン添加非晶質シリコン膜20の中のリン濃度および窒素濃度は、モノシランガス、ホスフィンガス、およびアンモニアガスの流量比を変えることによって制御することができる。

【0084】また、窒素含有リン添加非晶質シリコン膜20における上部(表面部)から下部(深部)へ向かう深さ方向の窒素濃度の分布も、アンモニアガスの流量を制御することによって任意に得ることができる。このため、窒素含有リン添加非晶質シリコン膜20を堆積する過程の最終段階で、アンモニアガスの流量を高めることによって、図13に示すように、窒素含有リン添加非晶質シリコン膜20の上部には、窒素原子を高濃度に含有する高濃度窒素含有層21が形成される。

【0085】つぎに、図14に示すように、リソグラフィ技術およびドライエッチング技術を用いて、窒素含有リン添加非晶質シリコン膜20および高濃度窒素含有層21から成る二層構造体を選択的に除去することにより、この二層構造体を所望の形状にパターニング加工する。素子分離シリコン酸化膜3の上面における浮遊電極5の不連続部分は、このときに形成される。

【0086】つぎに、図15に示すように、図14の工程で形成された生成物の上面全体に、下部シリコン酸化膜16を堆積する。下部シリコン酸化膜16は、第1実施例と同様の熱CVDを実行することによって形成される。このときの熱エネルギーによって、窒素原子を含有するリン添加非晶質シリコン膜20が結晶化し、しかも、含有する窒素原子の動きで結晶粒の粗大化が阻止される結果、窒素原子を含有する粒径の細かいリン添加多結晶シリコン膜で構成される浮遊電極5が形成される。

【0087】また熱エネルギーの付与によって、窒素含有リン添加非晶質シリコン膜14の上部に形成されている高濃度窒素含有層21では、窒素原子とシリコン原子の結合が起こる。その結果、高濃度窒素含有層21から、シリコン窒化膜層17が形成される。すなわち、浮遊電極5の上面において、膜質の劣る界面酸化膜層23の形成が阻止され、代わりに、リーク電流を抑制する効果の高いシリコン窒化膜層17が形成される。

【0088】つぎに、図1に戻って、下部シリコン酸化膜16の上に、CVDシリコン窒化膜18、上部シリコン酸化膜19、および、制御電極6を構成するリン添加多結晶シリコン膜を、この順で堆積する。これらの各層は、第1実施例と同一の工程を実行することによって形成される。その後、浮遊電極5から制御電極6までの積層構造体に対して、リソグラフィ工程およびドライエッチング工程を実行することによって、パターニング加工を施す。そうすることによって、所定のパターン形状を有する制御電極・浮遊電極間キャバシタ32が形成され

る。

【0089】この実施例の方法では、イオン注入を用いることなくリン添加非晶質シリコン膜へ窒素原子が導入される。このため、イオン注入にともなう損傷を引き起こす恐れがないという利点がある。例えば、トンネル酸化膜2へ窒素イオンが注入されることによって、トンネル酸化膜2の信頼性の低下を引き起こす恐れがない。また、リン添加非晶質シリコン膜を形成する中で、同時に窒素原子が導入されるので、窒素原子を導入する工程を別途実行する必要がない。すなわち、製造工程数が削減され、製造能率が高いという利点がある。

【0090】<第6実施例>第5実施例では、下部シリコン酸化膜16を形成する過程で、窒素含有リン添加非晶質シリコン膜20の多結晶化とシリコン窒化膜層17の形成とがおこなわれた。しかしながら、第3または第4実施例のように、下部シリコン酸化膜16を形成するのに先だって、それとは別個に加熱処理を行うことによって、窒素含有リン添加非晶質シリコン膜20の多結晶化とシリコン窒化膜層17の形成とを行ってもよい。

【0091】<第7実施例>以上の実施例では、フラッシュメモリを例として説明したが、フラッシュメモリ以外のメモリ素子、例えば、同じく浮遊電極を有するEPROM(紫外線照射によって反復消去可能な不揮発性メモリ素子)に対しても、同様に実施可能である。また、薄膜状の多結晶シリコンでチャネルが構成される薄膜トランジスタにおいて、チャネルとこれに対向する制御電極とそれらの間に形成される誘電体膜とで構成されるキャパシタに対しても、同様に実施可能である。このような薄膜トランジスタは、例えばスタティックラムなどに応用可能である。

【0092】

【発明の効果】第1の発明の装置では、誘電体膜がシリコン酸化膜層を有するものでありながら、一方電極膜の正面との境界面にシリコン窒化膜層を有するので、一方電極膜と他方電極膜との間のリーク電流が抑制される。

【0093】第2の発明の装置では、誘電体膜が一方電極膜の側端面との境界面にもシリコン窒化膜層を有するので、リーク電流がさらに低減される。

【0094】第3の発明の装置では、一方電極膜を構成する多結晶シリコンが窒素を含有するので、装置の製造工程で不可避的に行われる昇温処理にともなうシリコン結晶粒の成長が抑制される。その結果、窒素を含有しない装置に比べてシリコン結晶粒が小さくなる。このため、一方電極膜の端部が所定の精密な形状となる。

【0095】第4の発明の装置では、一方電極膜が絶縁膜を挟んでチャネルに対向しており、チャネルの両側には主電極が接続されるので、この装置は浮遊電極を有する不揮発性メモリ素子として機能する。そして、浮遊電極として機能する一方電極膜と制御電極として機能する他方電極膜との間のリーク電流が抑えられるので、データ

保持特性が良好で信頼性の高い不揮発性メモリ素子が得られる。

【0096】第5の発明の装置では、一方電極膜が絶縁膜を挟んでチャネルに対向しており、チャネルの両側には主電極が接続されるので、この装置は浮遊電極を有する不揮発性メモリ素子として機能する。そして、浮遊電極として機能する一方電極膜と制御電極として機能する他方電極膜との間のリーク電流が抑えられるので、データ保持特性が良好で信頼性の高い不揮発性メモリ素子が得られる。さらに、浮遊電極の端部が所定の精密な形状を有するので、消去速度が所定の値に揃う。したがって、浮遊電極を複数個有する複数ビットのメモリ素子においては、同一メモリ素子内での消去速度のビット間ばつきが解消ないし緩和される。

【0097】第6の発明の製造方法では、シリコン膜の上面において膜質の劣る界面酸化膜層の形成が阻止されるとともに、リーク電流の抑制効果の高いシリコン窒化膜層が形成されるので、一組の電極膜の間のリーク電流が抑制された装置が得られる。しかも、昇温を行うことによって、非晶質のシリコン膜の多結晶化とその上面へのシリコン窒化膜層の形成とが同時に行われるので、リーク電流を抑制した装置が能率よく製造される。

【0098】第7の発明の製造方法では、シリコン酸化膜層を形成する中で、同時に、非晶質のシリコン膜の多結晶化とその上面へのシリコン窒化膜層の形成とが行われるので、製造工数が節減され製造の能率がさらに向上する。

【0099】第8の発明の製造方法では、含有窒素の働きでシリコン膜が多結晶化する際に、結晶粒の成長が抑制されるので、窒素を含有しない場合に比べてシリコン結晶粒が小さくなる。その結果、一方電極膜の端部が所定の精密な形状を有する装置が得られる。

【0100】第9の発明の製造方法では、窒素を含有するとともに上面に高濃度窒素含有層を有する非晶質のシリコン膜が、上面から窒素を注入することによって容易に形成される。このため、一方電極を構成する多結晶シリコン膜におけるシリコン結晶粒が小さく、しかも、リーク電流が抑制された装置を能率よく形成することができる。

【0101】第10の発明の製造方法では、パターニング加工によってシリコン層に形成される側端面にも高濃度窒素含有層が形成されるので、シリコン層の側端面においても、界面酸化膜層の形成が阻止されるとともに、それに代わってリーク電流の阻止効果の高い窒化シリコン層が形成される。このため、側端面を経路とするリーク電流をも抑制した装置が得られる。

【0102】第11の発明の製造方法では、化学気相成長法を用いて窒素がシリコン膜へ導入されるので、窒素を導入する際にシリコン膜やこれに隣接する他の構成部分に損傷を与える恐れがない。このため、信頼性の高い

装置が得られるという効果がある。さらに、非晶質シリコン層を形成する中で、同時に窒素が導入されるので、窒素を導入する工程を別途実施する必要がない。このため、製造工数が節減されるので製造の能率が高いという効果がある。

【0103】第12の発明の製造方法では、浮遊電極を有する不揮発性メモリ素子として機能する装置が得られるとともに、浮遊電極として機能する一方電極膜と制御電極として機能する他方電極膜の間のリーク電流が抑えられるので、データ保持特性が良好で信頼性の高い不揮発性メモリ素子が得られる。さらに、浮遊電極の端部が所定の精密な形状を有するので、消去速度が所定の値に揃った装置が得られる。浮遊電極を複数個形成することで複数ビットのメモリ素子が得られるが、この場合には、同一メモリ素子内の消去速度のビット間ばらつきが解消ないし緩和される。

【0104】第13の発明の製造方法では、浮遊電極を有する不揮発性メモリ素子として機能する装置が得られるとともに、浮遊電極として機能する一方電極膜と制御電極として機能する他方電極膜の間のリーク電流が抑えられるので、データ保持特性が良好で信頼性の高い不揮発性メモリ素子が得られる。

【図面の簡単な説明】

【図1】 第1実施例のフラッシュメモリのビット線方向断面図である。

【図2】 図1のフラッシュメモリのワード線方向断面図である。

【図3】 図1のフラッシュメモリの製造工程図である。

【図4】 図1のフラッシュメモリの製造工程図である。

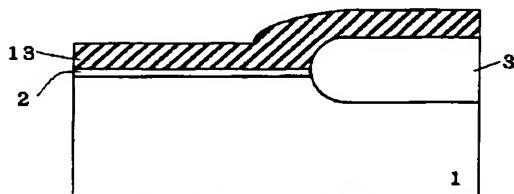
【図5】 図1のフラッシュメモリの製造工程図である。

【図6】 図1のフラッシュメモリの製造工程図である。

【図7】 第2実施例のフラッシュメモリのビット線方向断面図である。

【図8】 図7のフラッシュメモリの製造工程図である。

【図3】



13 : リン添加非晶質シリコン膜 (シリコン膜)

【図9】 図7のフラッシュメモリの製造工程図である。

【図10】 図7のフラッシュメモリの製造工程図である。

【図11】 第3実施例の製造方法を示す製造工程図である。

【図12】 第4実施例の製造方法を示す製造工程図である。

【図13】 第5実施例の製造方法を示す製造工程図である。

【図14】 第5実施例の製造方法を示す製造工程図である。

【図15】 第5実施例の製造方法を示す製造工程図である。

【図16】 従来のフラッシュメモリのワード線方向断面図である。

【図17】 従来のフラッシュメモリのビット線方向断面図である。

【図18】 図16のフラッシュメモリの製造工程図である。

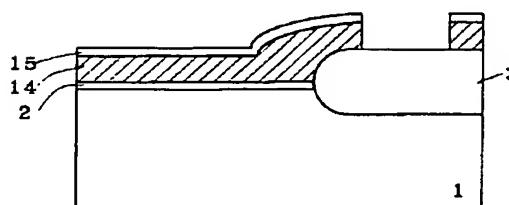
【図19】 図16のフラッシュメモリの製造工程図である。

【図20】 図16のフラッシュメモリの製造工程図である。

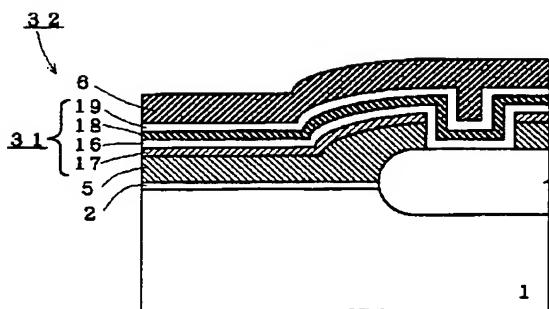
【符号の説明】

- 1 シリコン基板、2 トンネル酸化膜（絶縁膜）、5 浮遊電極（一方電極膜、多結晶シリコン膜）、6 制御電極（他方電極、導電層）、9 下層A1配線（主電極）、13 リン添加非晶質シリコン膜（シリコン膜）、15 高濃度窒素含有層、16 下部シリコン酸化膜（シリコン酸化膜層）、17 シリコン窒化膜層、19 上部シリコン酸化膜（シリコン酸化膜層）、20 窒素含有リン添加非晶質シリコン膜（シリコン膜）、21 高濃度窒素含有層、31 制御電極・浮遊電極間誘電体膜（誘電体膜）、33 制御電極・浮遊電極間誘電体膜（誘電体膜）、32 制御電極・浮遊電極間キャバシタ（キャバシタ）、34 制御電極・浮遊電極間キャバシタ（キャバシタ）。

【図5】

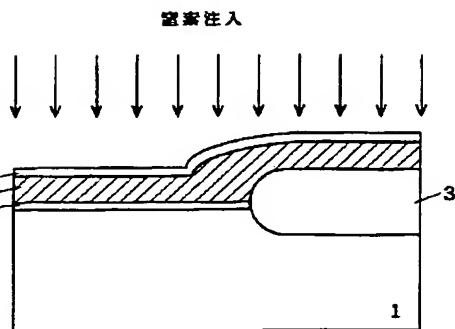


【図1】



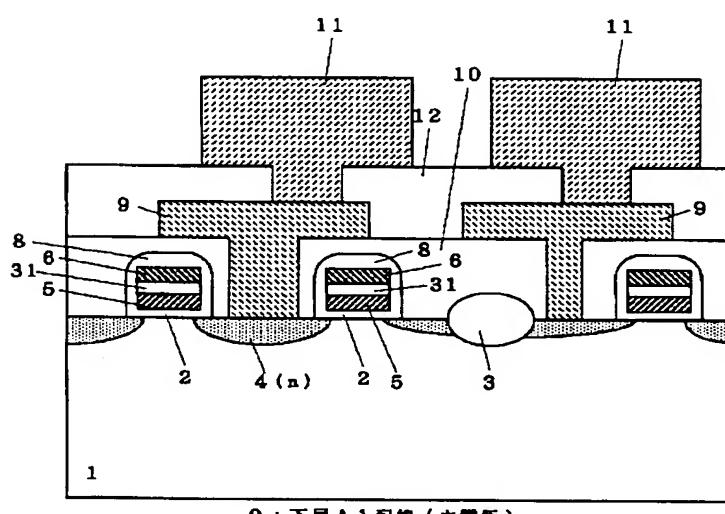
1: シリコン基板
 2: トンネル酸化膜（絶縁膜）
 5: 浮遊電極（一方電極膜、多結晶シリコン膜）
 6: 制御電極（他方電極、導電層）
 16: 下部シリコン酸化膜（シリコン酸化膜層）
 17: シリコン空化膜層
 19: 上部シリコン酸化膜（シリコン酸化膜層）
 31: 制御電極・浮遊電極間誘電体膜（誘電体膜）
 32: 制御電極・浮遊電極間キャバシタ（キャバシタ）

【図4】



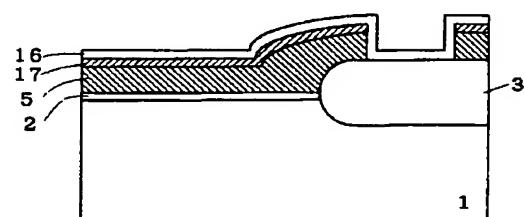
15: 高濃度窒素含有層

【図2】

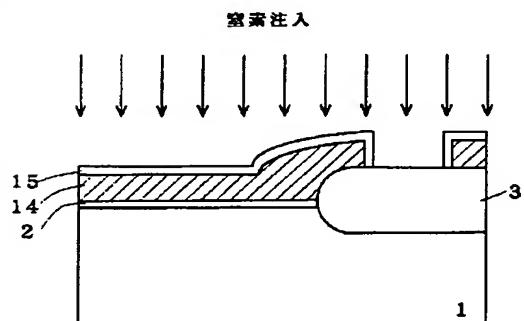


9: 下層A1配線（主電極）

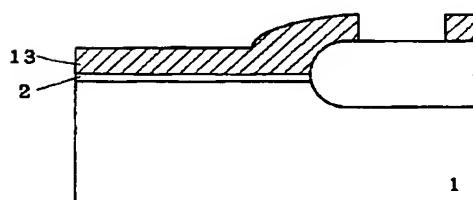
【図6】



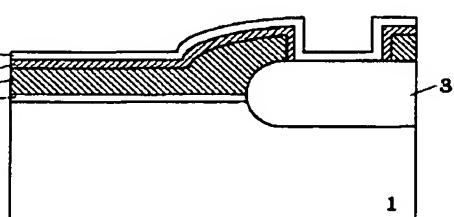
【図9】



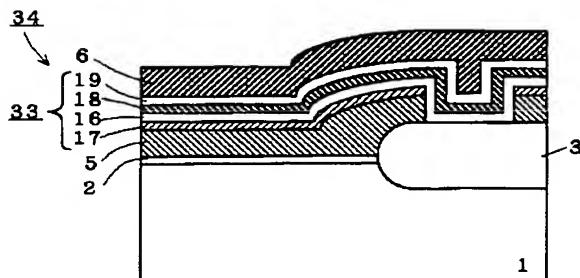
【図8】



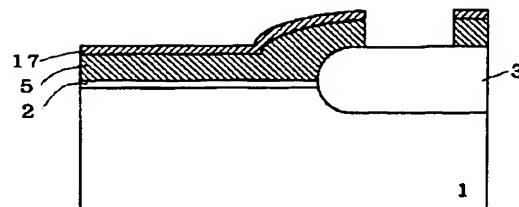
【図10】



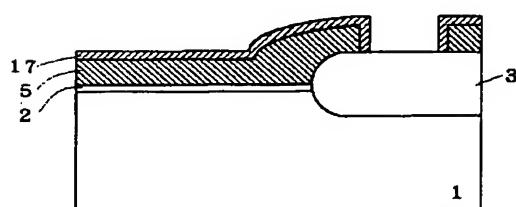
【図7】



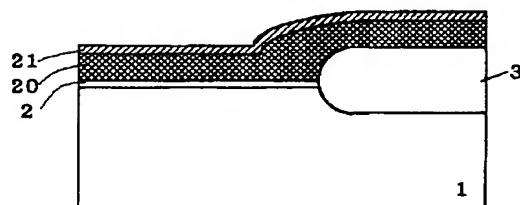
【図11】



【図12】

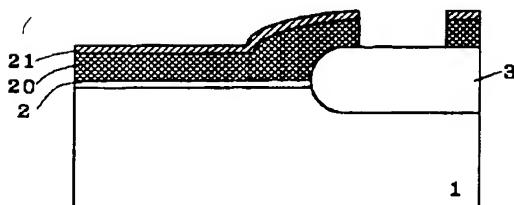


【図13】

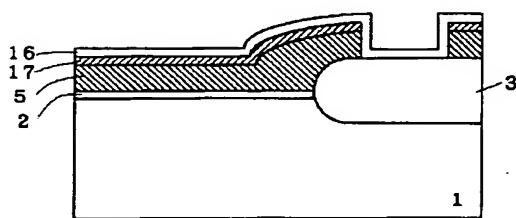


20: 硫素含有リン添加非晶質シリコン膜 (シリコン膜)
21: 高濃度窒素含有層

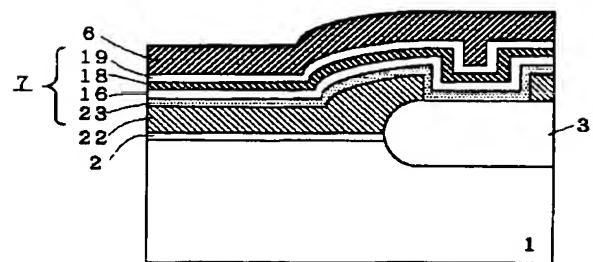
【図14】



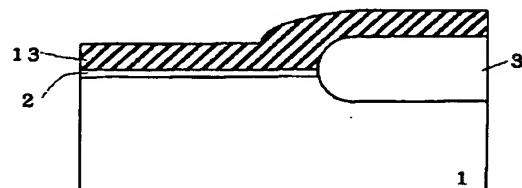
【図15】



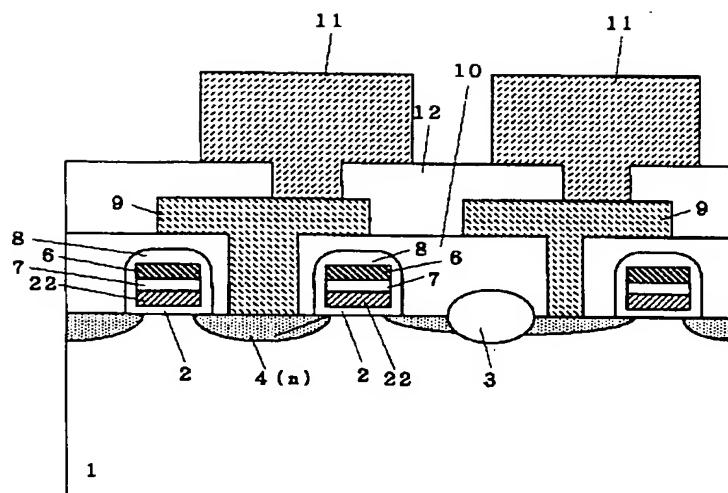
【図17】



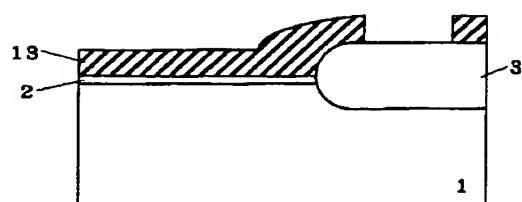
【図18】



【図16】



【図19】



【図20】

